

A microelectrónica do silício

Estrutura da aula

- 1 - Perspectiva histórica
- 2 - A tecnologia CMOS
 - Introdução às técnicas básicas usadas em tecnologia CMOS
 - O processo *n-well* CMOS 2.0 μm
 - Definição do n-MOSFET e do p-MOSFET
 - As diversas máscaras usadas no CMOS
 - *Layout* físico do inversor
- 3 - Regras de *layout* físico
- 4 - Células *standard*
- 5 - Elementos parasitas
- 6 - *Bondingpads*

Perspectiva histórica [1]

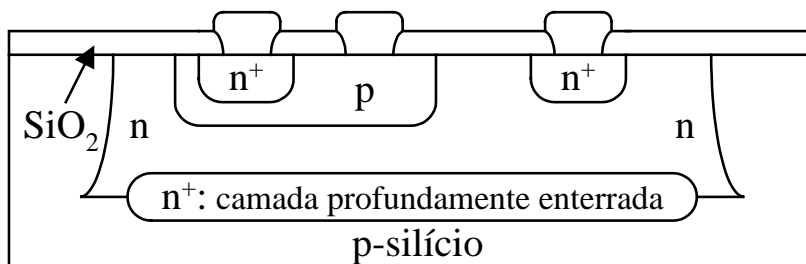
- A indústria da electrónica é a que apresenta o maior crescimento observado nos últimos anos
- O fabrico de *microchips* com algumas funções lógicas remonta aos anos 60
- Nos anos 60 integrar mais do que um transístor no mesmo corpo semiconductor era considerado um feito
- Nesse tempo, a ideia de fabricar um *microchip* era inconcebível e mera fantasia
- Os “peritos” defendiam que um *microchip* com 20 transístores para ter probabilidade de funcionamento de 50%, todos os transístores deveriam funcionar com probabilidade de pelo menos **96.59%** ($0.5^{1/20}=0.9659$)
- Isso não impediu os avanços verificados (microchips com milhões de transístores, como é o caso dos processadores)

Perspectiva histórica [2]

- O Bipolar foi a primeira tecnologia a surgir
- Ainda hoje é utilizada para fabricar os dispositivos 555 e 741
- Até início dos anos 80 impôs-se sobre o CMOS
 - A difusão dos dopantes é feita em profundidade (3D)
 - A contaminação das câmaras limpas não compromete o dispositivo
 - Nos anos 70 as câmaras não eram suficientemente limpas e uma poeira na superfície do *wafer* era suficiente para inviabilizar o processo de integração CMOS
- Para uma melhor percepção dos dois processos veja-se as seguintes projecções em corte
 - (1) projecção final para o processo Bipolar
 - (2) projecção final para o caso CMOS

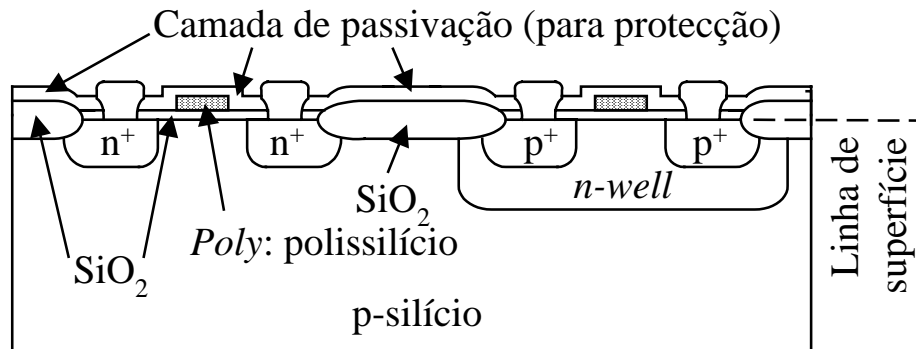
Perspectiva histórica [3]

Projecção em corte ilustrando a estrutura final de um transístor bipolar NPN em tecnologia bipolar



Perspectiva histórica [4]

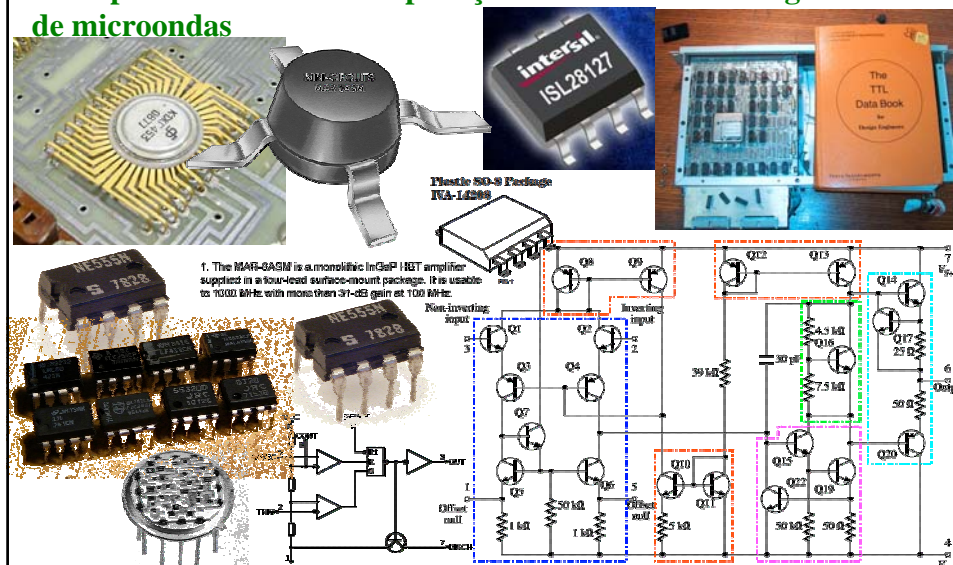
Projeção em corte ilustrando a estrutura final de um transistor p MOSFET e de um transistor n MOSFET em tecnologia CMOS



Perspectiva histórica [5]

Panorama actual (muito resumido):

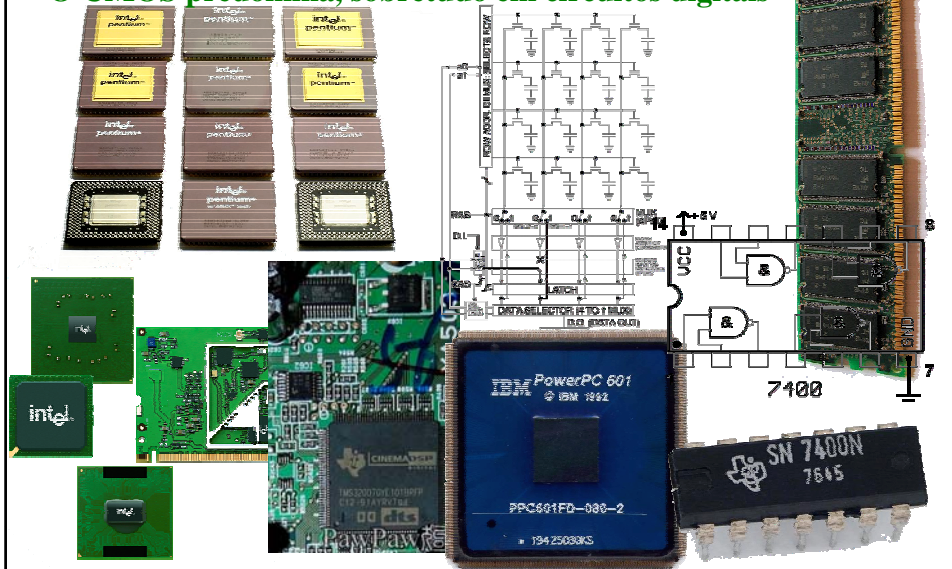
- O bipolar continua a ter aplicações em circuitos analógicos e de microondas



Perspectiva histórica [6]

Panorama actual (muito resumido):

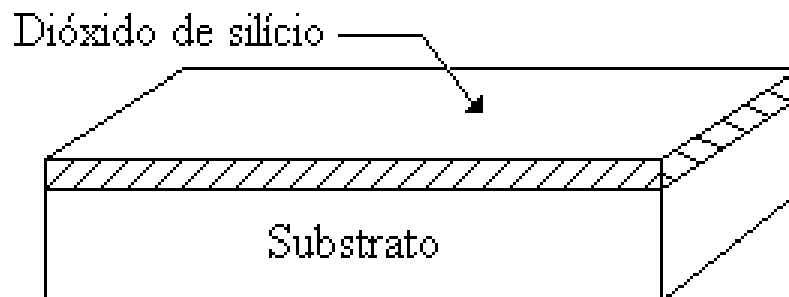
- O CMOS predomina, sobretudo em circuitos digitais



Técnicas básicas usadas em tecnologia CMOS [1]

= Sequência litográfica usada no processo CMOS =

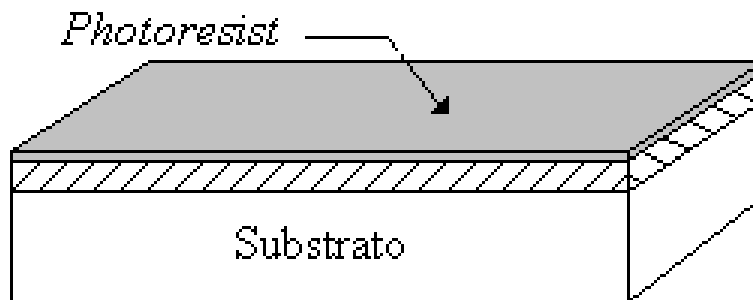
- Substrato inicial, após ser acrescentada uma camada de dióxido de silício



Substrato inicial

Técnicas básicas usadas em tecnologia CMOS [2]

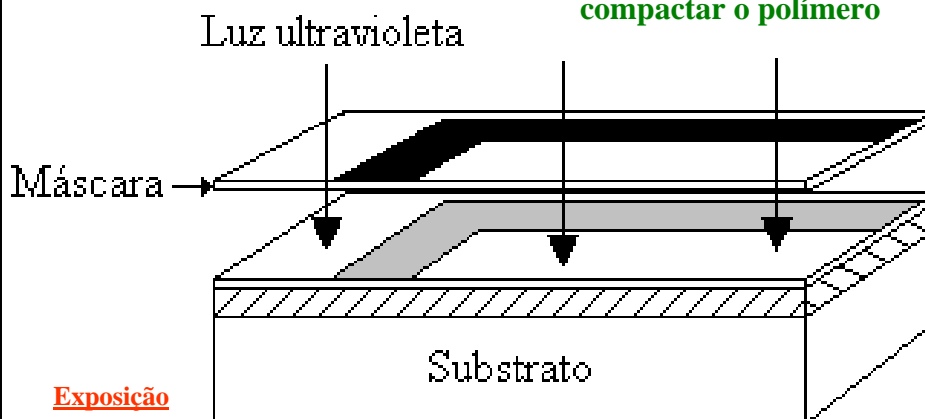
- Uma camada de *photoresist* (PR) é depositada utilizando um disco giratório (*spin coating*), seguindo-se uma cozedura no forno para produzir uma superfície dura.



Camada photoresist (PR)

Técnicas básicas usadas em tecnologia CMOS [3]

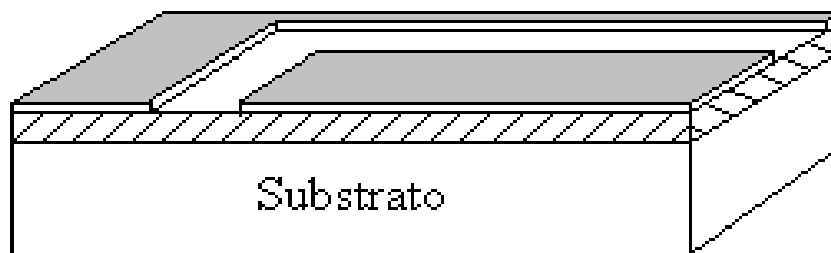
- O PR é um polímero sensível à luz, com propriedades similares a um qualquer filme fotográfico.
- A imagem na máscara é projectada opticamente na superfície do PR durante a exposição aos raios ultravioletas (UV), os quais vão compactar o polímero



Exposição

Técnicas básicas usadas em tecnologia CMOS [4]

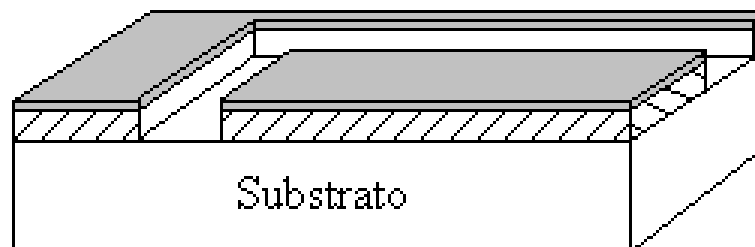
- A área exposta aos raios UV foi compactada
- Um composto químico apropriado remove a área do PR não exposta aos raios UV (neste caso é um PR negativo)
- O desenho da camada PR é usado como máscara para fazer o *etching* da camada de material. No exemplo, a camada de SiO_2 é removida usando um processo a seco RIE (*Reactive Ion Etching*).



Reactive Ion Etching (RIE)

Técnicas básicas usadas em tecnologia CMOS [5]

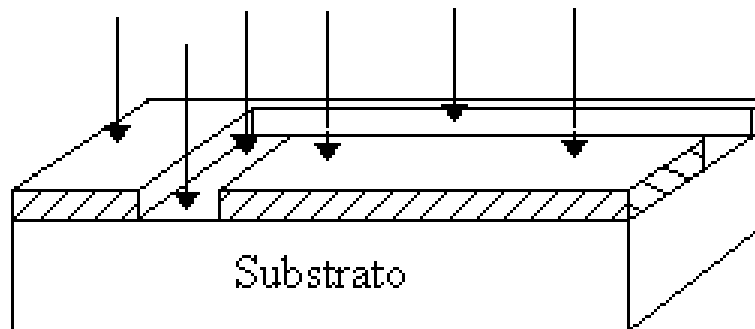
- A camada de PR é retirada.



Etching

Técnicas básicas usadas em tecnologia CMOS [6]

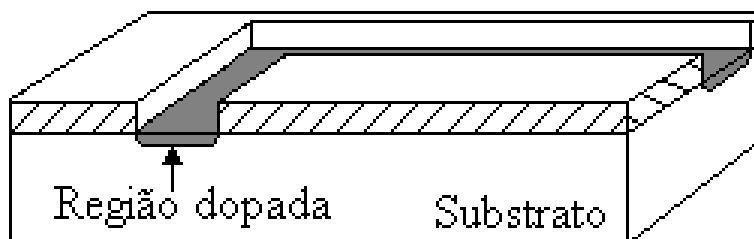
- A superfície do *wafer* é exposta na máquina de difusão (dopagem do silício).
- As áreas do silício expostas são dopadas.



Dopagem

Técnicas básicas usadas em tecnologia CMOS [7]

- As áreas do silício expostas são dopadas.
- Resultado da dopagem:



Após a dopagem

O processo *n-well* 2.0 μm [1]

- Trata-se de um exemplo de processo CMOS

- Possui:

- (1) uma camada de polissilício (*poly*)
- (2) duas camadas de metal
- (3) podem ser fabricados circuitos analógicos, digitais e mistos

Diversos parâmetros do processo CMOS 2.0 μm .

	n-MOSFET	p-MOSFET	Unidades
Comprimento mínimo da (<i>gate</i>)	2.0	2.0	μm
Espessura do óxido da <i>gate</i>	25	25	nm
Tensão de <i>threshold</i>	0.75	-1.10	V
Mínimo <i>pitch</i> para os metais	4.8	4.8	μm
Mínimo <i>pitch</i> para a <i>poly</i>	4.0	4.0	μm
Tensão de alimentação nominal	5	5	V
I_{ds} , correntes de saturação para $V_{ds}=5\text{ V}$, $V_{gs}=5\text{ V}$	4.75	1.90	mA

O processo *n-well* 2.0 μm [1]

- Permite dois tipos de passivos:

- (1) condensadores de precisão e altamente lineares
(*metal1-poly*, *metal1-metal2*, *metal2-poly-metal1*)
- (2) Resistências de precisão
(*poly*, *Active-SN*, *Active-SP*, *metal1*, *metal2*).

- O *wafer* já pode vir dopado com:

- (1) aceitadores (boro), *wafer* do tipo p

Neste caso :

- (a) os n-MOSFETs são fabricados directamente no *wafer*
- (b) os p-MOSFETs são fabricados dentro de uma região definida pela máscara *n-well*

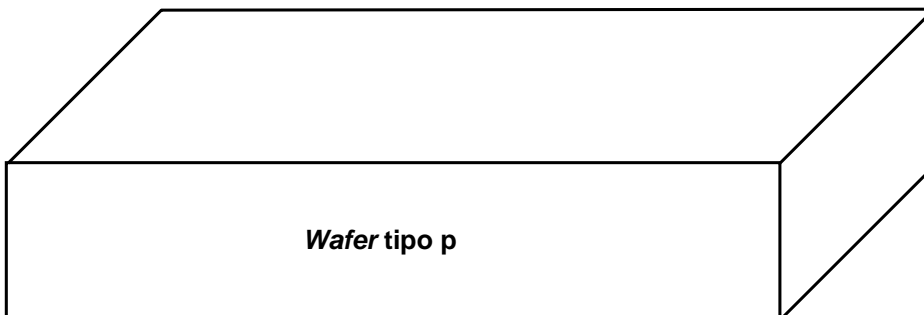
- (2) dadores (fósforo), *wafer* do tipo n

Fabrico CMOS – Aspectos introdutórios

- Em cada passo, diferentes materiais são depositados ou removidos
- É mais fácil de compreender através da visualização do perfil de um *wafer* e da planta em simultâneo num processo simplificado
- Ferramentas de CAD (*Computer-Aided Design*) para execução de *layout* físico permitem ver todas as camadas simultaneamente.
- Os CADs mais usados: *L-Edit* e o *Cadence*.
- Na sequência litográfica cada camada é aplicada separadamente.
- Para isso é criada uma máscara para cada camada
- A máscara é uma lâmina de vidro onde é aplicado um padrão numa das faces com uma camada fina de crómio.
- A máscara é transparente à luz, excepto nas regiões onde o crómio (regiões negras) não deixa passar a luz.
- As limitações deste processo, tais como a resolução mínima e o espaço mínimo, são definidos por um conjunto de regras de desenho para o *layout* físico.

Fabrico CMOS – Fabrico de um inversor lógico [1]

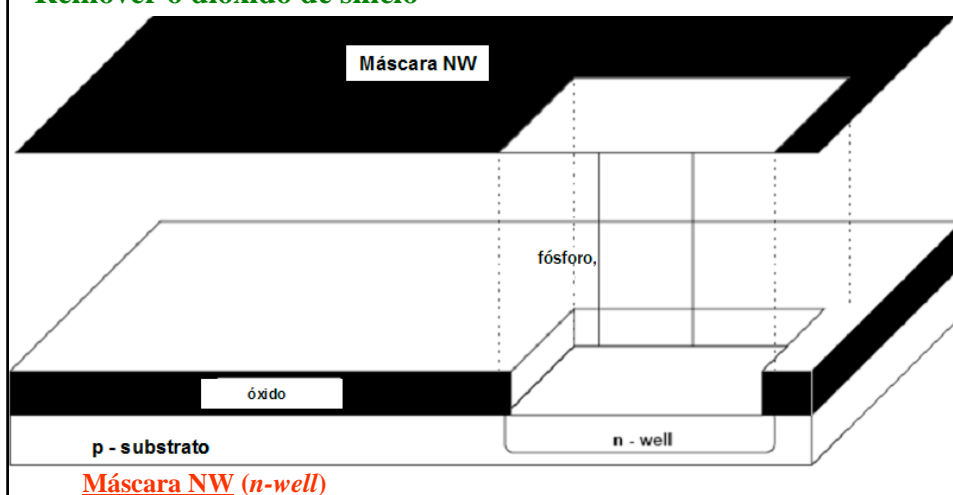
- O inversor é construído de baixo para cima
- O ponto de partida é usar um *wafer* do tipo p como substrato e depositar por cima uma camada de óxido



Substrato

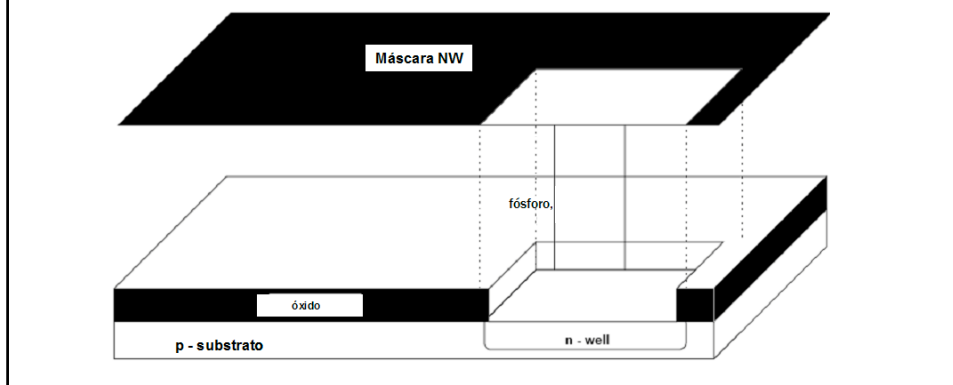
Fabrico CMOS – Fabrico de um inversor lógico [2]

- A máscara NW permite criar a *n-well*
- Assim, após remover a camada onde a *n-well* deve ficar
- Implantar ou difundir dopantes do tipo n no *wafer* exposto
- Remover o dióxido de silício



Fabrico CMOS – Fabrico de um inversor lógico [3]

- Electricamente a zona da *n-well* deve ser mantida na zona de maior tensão do circuito para garantir o funcionamento adequado.
- Normalmente o *n-well* liga ao V_{dd} .
- Como a densidade de dispositivos pode ser muito elevada, deve-se ter em atenção o problema do isolamento eléctrico de cada um deles.
- É neste passo do fabrico que é definida a localização de todos os transístores.
- O isolamento é realizado pela próxima colocação de óxido de silício

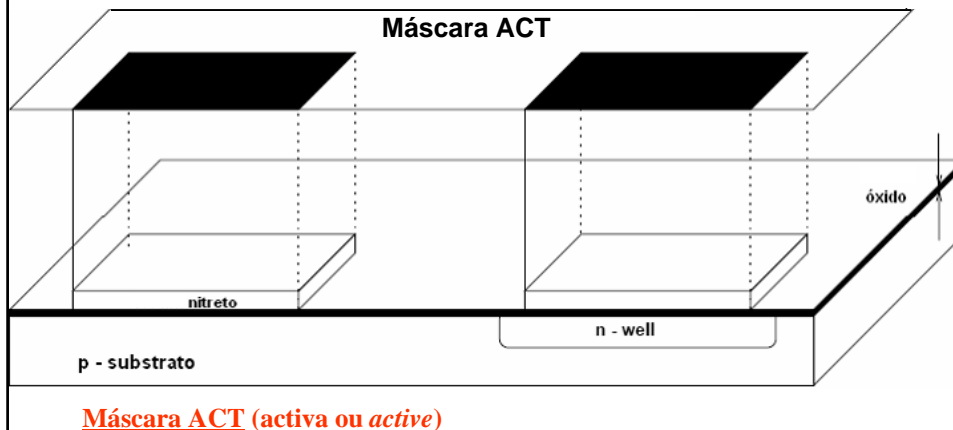


Fabrico CMOS – Fabrico de um inversor lógico [4]

- A área total do microchip é dividida em duas grandes zonas:

(1) regiões de campo: em redor da área activa, por onde passam as linhas de ligação dos MOSFETs (como o polissilício e os metais).

(2) área activa: são feitas com a máscara activa (ACT) usando nitreto de silício, que é depositado numa camada fina de óxido de silício conhecida como óxido libertador de stress e é usado como buffer mecânico entre o nitreto e o silício.



Máscara ACT (activa ou active)

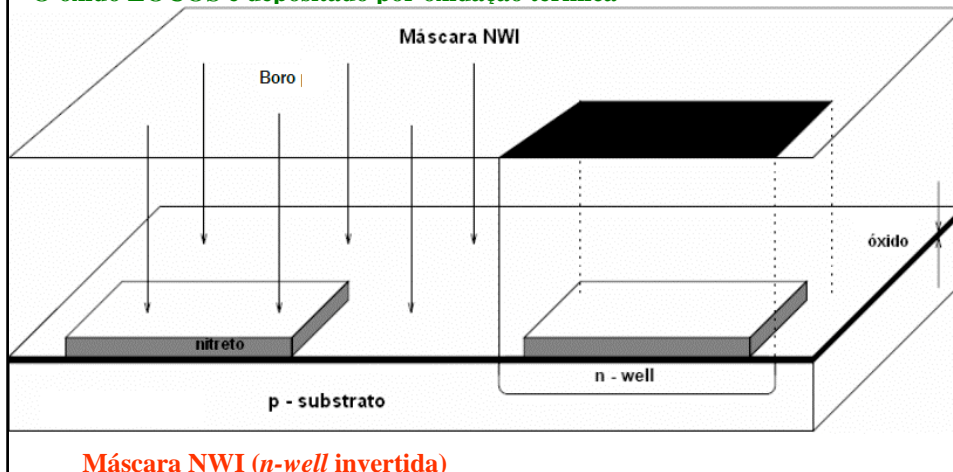
Fabrico CMOS – Fabrico de um inversor lógico [5]

- Faz-se uma dopagem com p+ para aumentar a tensão limiar de condução, nas zonas de campo (nas não activas) para garantir:

(1) o isolamento entre MOSFETs

(2) evitar que uma tensão aplicada a uma linha de ligação não crie canais indesejáveis

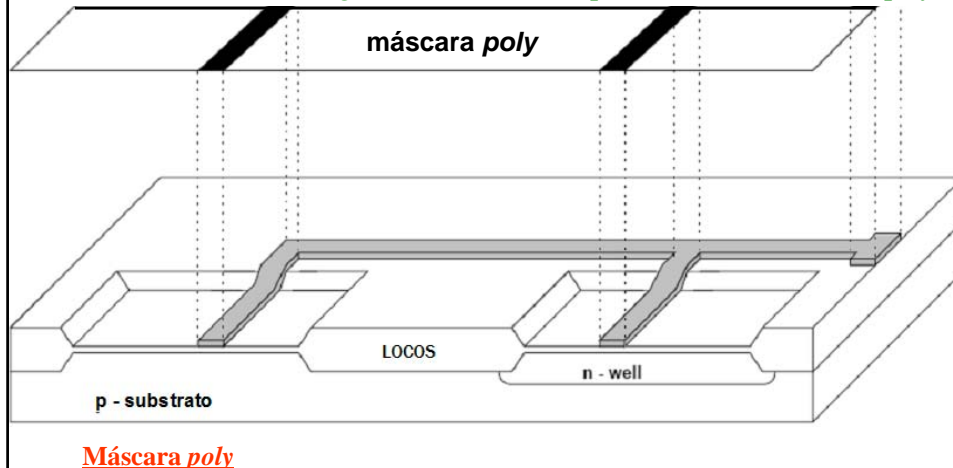
- O óxido LOCOS é depositado por oxidação térmica



Máscara NWI (n-well invertida)

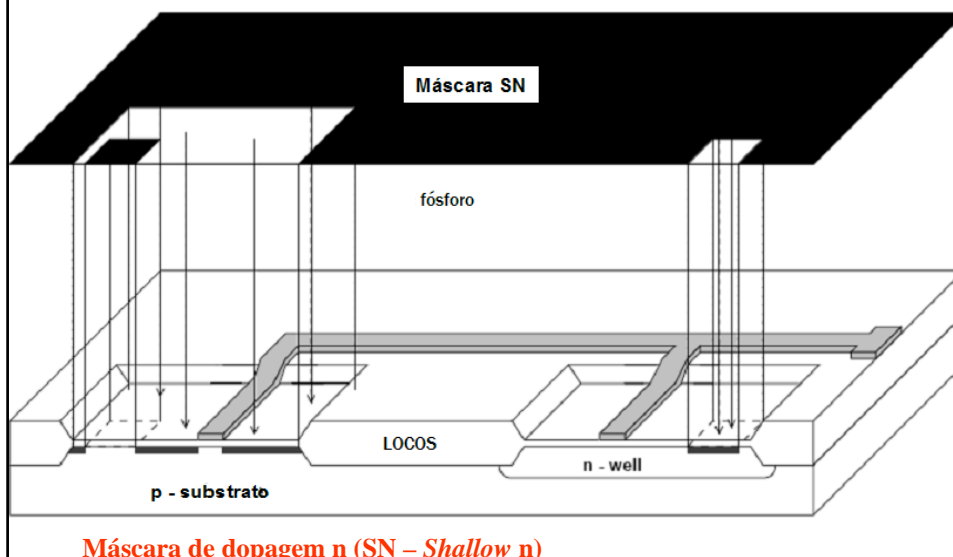
Fabrico CMOS – Fabrico de um inversor lógico [6]

- O óxido LOCOS é depositado num forno para isolar os MOSFETs
- Remove-se o nitreto de silício e o *wafer* está em condições de ser depositado um óxido (óxido da *gate*) para receber por cima o polissilício.
- O polissilício (que forma as *gates*) é depositado por CVD.
- A camada fina de óxido da *gate* não é visível mas pode ver-se a máscara da poly.



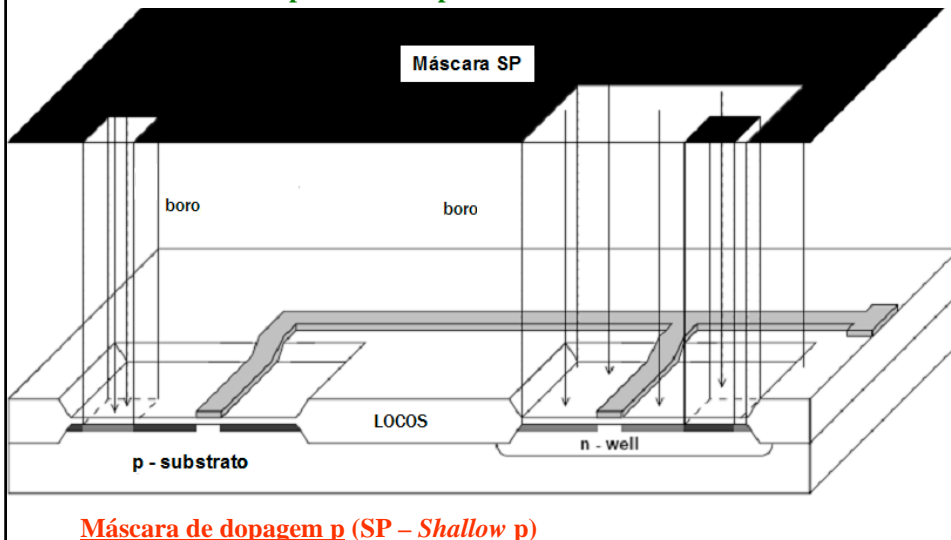
Fabrico CMOS – Fabrico de um inversor lógico [7]

- A máscara SN cria o n-MOSFET (fósforo: n+ nas *sources e drains*)
- Define as zonas de dopagem n+ (e ainda n+ nos *bulks* dos p-MOSFET)



Fabrico CMOS – Fabrico de um inversor lógico [8]

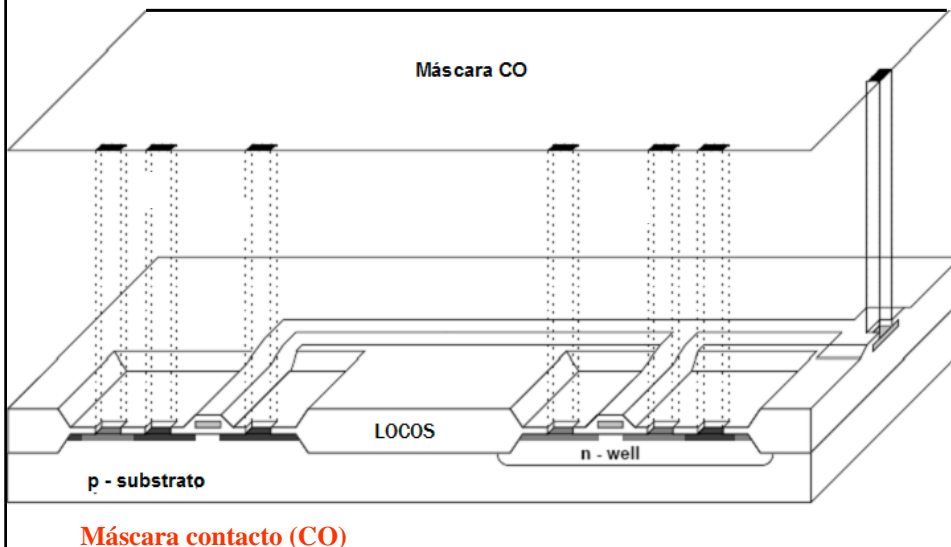
- Esta máscara serve para criar os p-MOSFET (boro: p+ nas *sources* e *drains*)
- E ainda p+ nos *bulks* dos n-MOSFET
- As máscaras SN e SP aparecem sempre associadas à máscara ACT



Máscara de dopagem p (SP – Shallow p)

Fabrico CMOS – Fabrico de um inversor lógico [9]

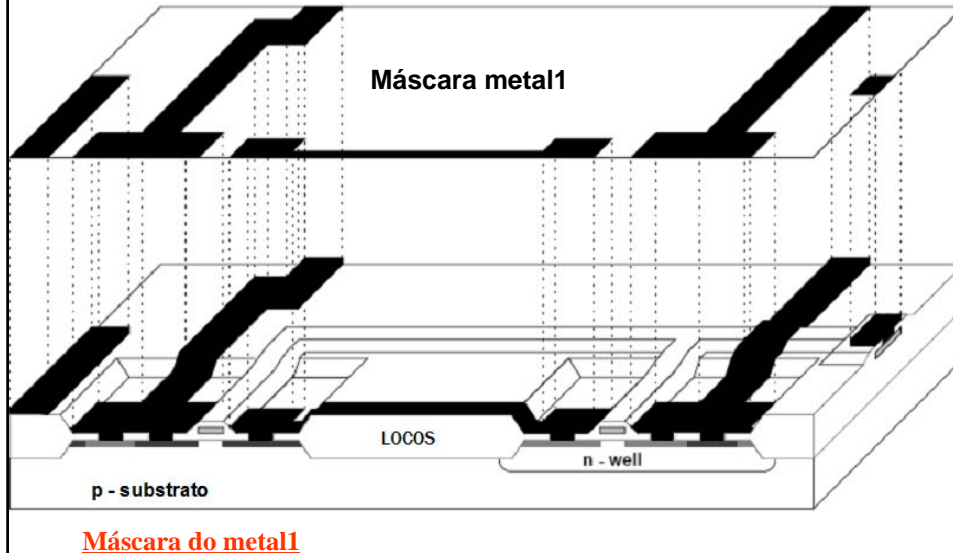
- Desde a formação do LOCUS que o *wafer* está todo isolado por óxido
- É necessário criar passagens para que os terminais dos MOSFET sejam ligados ao exterior.



Máscara contacto (CO)

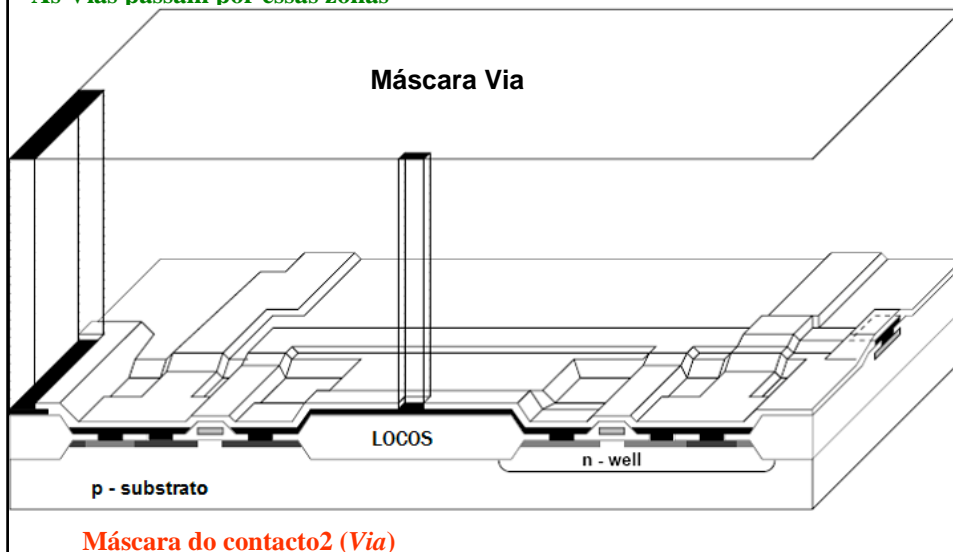
Fabrico CMOS - Fabrico do inversor lógico [10]

- Após a remoção da camada de óxido no sítio dos contactos deposita-se o metal1
- Tal permite que metal1-zona activa e metal1-poly fiquem electricamente ligados



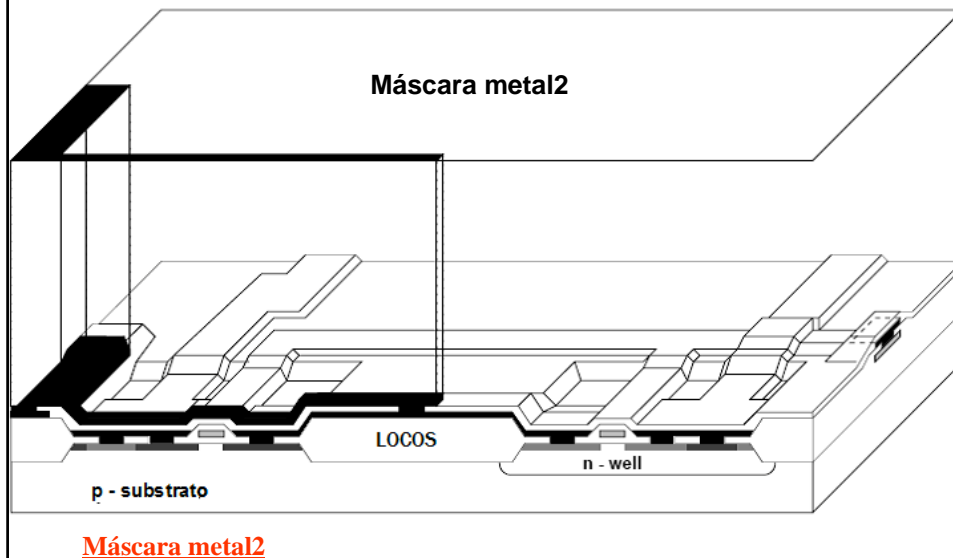
Fabrico CMOS - Fabrico do inversor lógico [11]

- Para fazer contactos metal1-metal2 ou poly-metal2 é necessário fazer *etching* nessas zonas
- As Vias passam por essas zonas



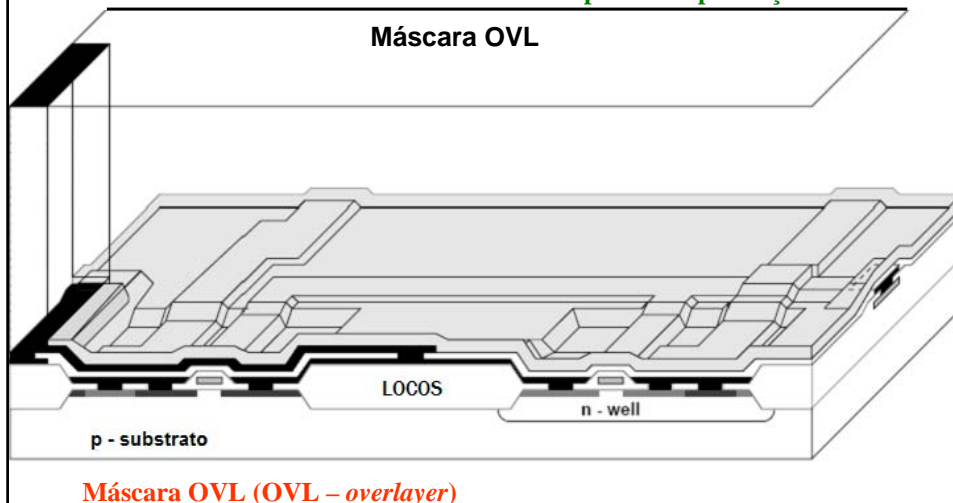
Fabrico CMOS - Fabrico do inversor lógico [12]

- Esta máscara serve para fazer-se a deposição do metal2



Fabrico CMOS - Fabrico do inversor lógico [13]

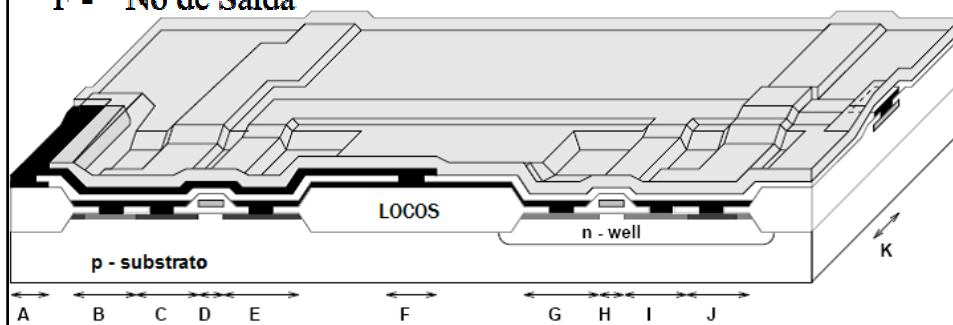
- O passo final é deposição de uma camada de protecção sobre toda a superfície
- Tal implica usar outra máscara para abrir os contactos para os *bondipads*
- Tipicamente usa-se SiO₂ e nitreto de silício
- O nitreto de silício é uma boa barreira contra impurezas e protecção anti-riscos



Fabrico CMOS - Fabrico do inversor lógico [14]

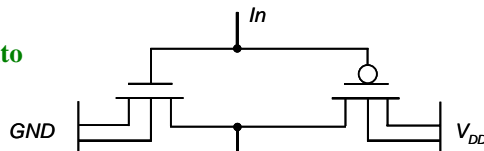
O dispositivo seguinte é o inversor lógico final.

- | | |
|---------------------------|------------------------|
| A - Bondingpad de Saída | G - Drain do p-MOSFET |
| B - Contacto do Substrato | H - Gate do p-MOSFET |
| C - Source do n-MOSFET | I - Source do p-MOSFET |
| D - Gate do n-MOSFET | J - Contacto da n-well |
| E - Drain do n-MOSFET | K - Nó de entrada |
| F - Nó de Saída | |

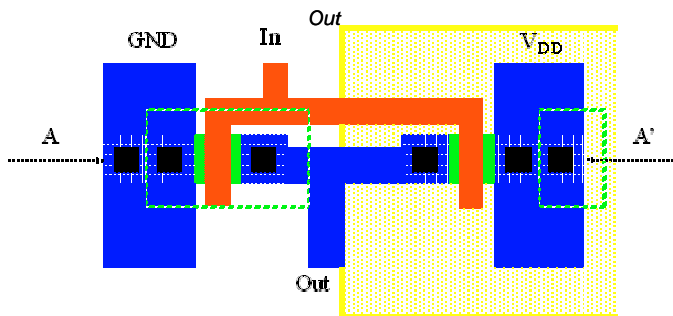


Fabrico CMOS - Fabrico do inversor lógico [15]

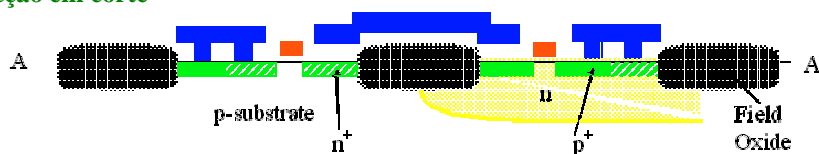
- Diagrama do circuito



- Layout



- Projecção em corte

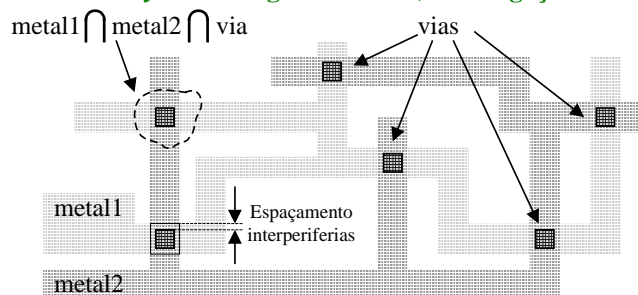


Regras do *layout* físico [1]

- Resultam da necessidade de haver regras de desenho bem definidas para:
 - (1) o fabrico ser praticável
 - (2) obtenção das características desejadas dos componentes
- As regras do *layout* são um compromisso entre o projecto e o fabrico
- Se as regras forem respeitadas, a probabilidade de falha (ou funcionamento diferente do esperado) é mínima
- Em caso de falhas, o mais provável foi haverem falhas durante o projecto
- A título de exemplo, a regra mais simples consiste na largura mínima das linhas
- A largura mínima está associada á dimensão mínima da máscara cujo padrão é sem problemas transferido para a superfície do material semiconductor
- Normalmente, dois processos diferentes apresentam diferentes regras

Regras do *layout* físico [2]

- Os processos CMOS mais usuais baseiam-se em 5 componentes fundamentais:
 - (1) substratos tipo p (p-substrato) e/ou poços tipo n (*n-well*)
 - (2) regiões de difusão (tipo n+ e p+)
 - (3) pelo menos um nível de polissilício
 - (4) pelos menos um nível de metal para interligar os componentes do *microchip*
 - (5) contactos para interligação dos diversos níveis no *microchip*
- Um *layout* é portanto:
 - (1) combinação de polígonos de vários *layers*
 - (2) a forma como os *layers* interligam entre si (ex. da ligação M1-M2 por Vias)



Regras do layout físico [3]

- O layout associa uma cor ou tipo de preenchimento a diferentes layers

Layers mais utilizados no desenho de layout para fabrico de chips em CMOS e respectiva representação gráfica.

Layer	Representação gráfica
<i>n-well</i>	
<i>active</i>	
SP e SN	
polissilício (<i>poly</i>)	
<i>metal</i>	<div style="display: flex; justify-content: space-around;"> <div style="text-align: center;"> metal1</div> <div style="text-align: center;"> metal2</div> </div>
furos para contactos, vias e bondingpads	<div style="display: flex; justify-content: space-around;"> <div style="text-align: center;"> CO</div> <div style="text-align: center;"> COS</div> <div style="text-align: center;"> CB</div> </div>

- *Active* define as zonas onde vão ficar os dispositivos activos (MOSFETs)

- SP e SN define as zonas de dopagem p+ e n+ (repectivamente)

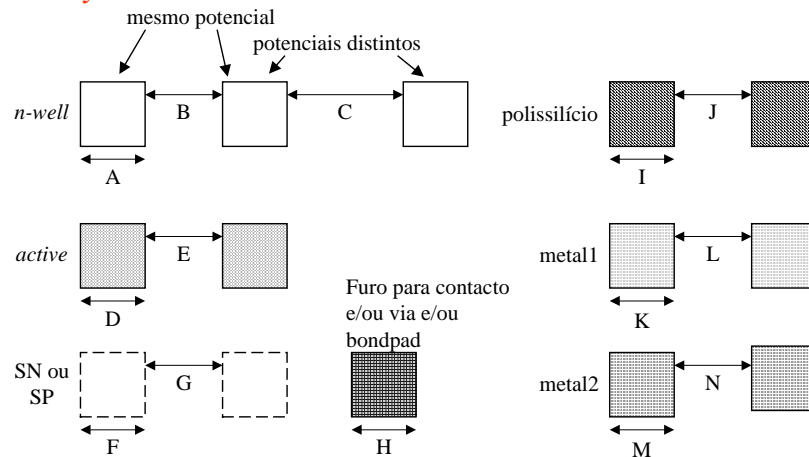
Regras do layout físico [4]

- Restrições

(1) *intralayer*: definem dimensões de objectos num layer

(2) *interlayer*: estão associadas a 2 ou mais layers (p.ex. áreas comuns)

Restrições intralayer



Regras do layout físico [5]

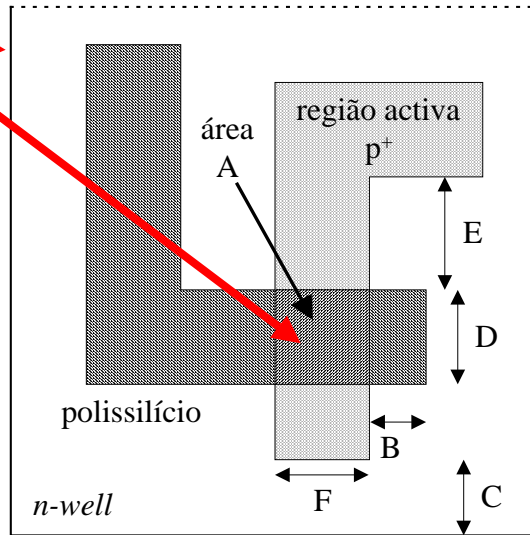
- Restrições interlayer:

(1) exige grande esforço mental por causa do número simultâneo de layers

(2) divide-se em dois subgrupos:

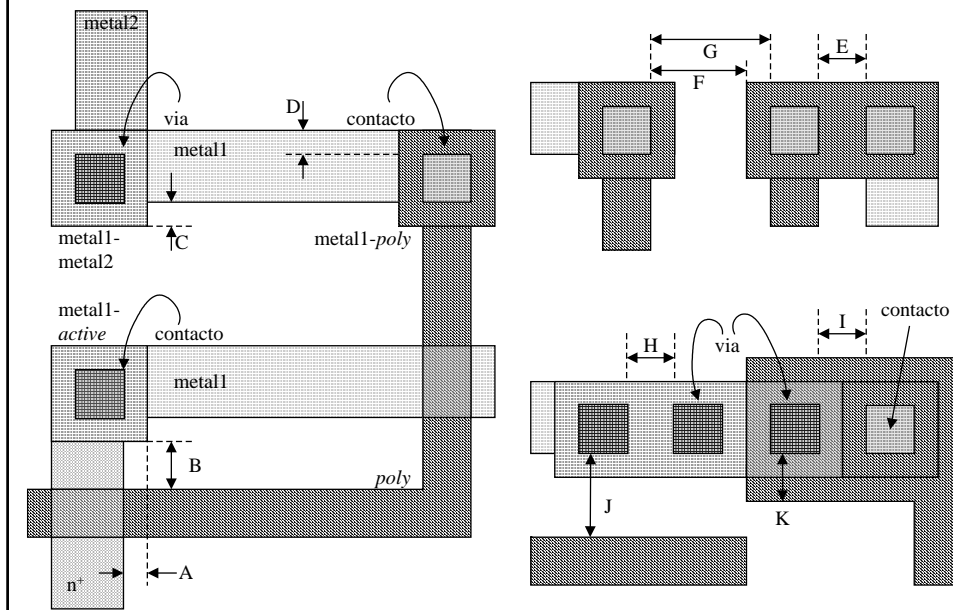
(s1) regras do transistor

(s2) regras dos contactos e das vias



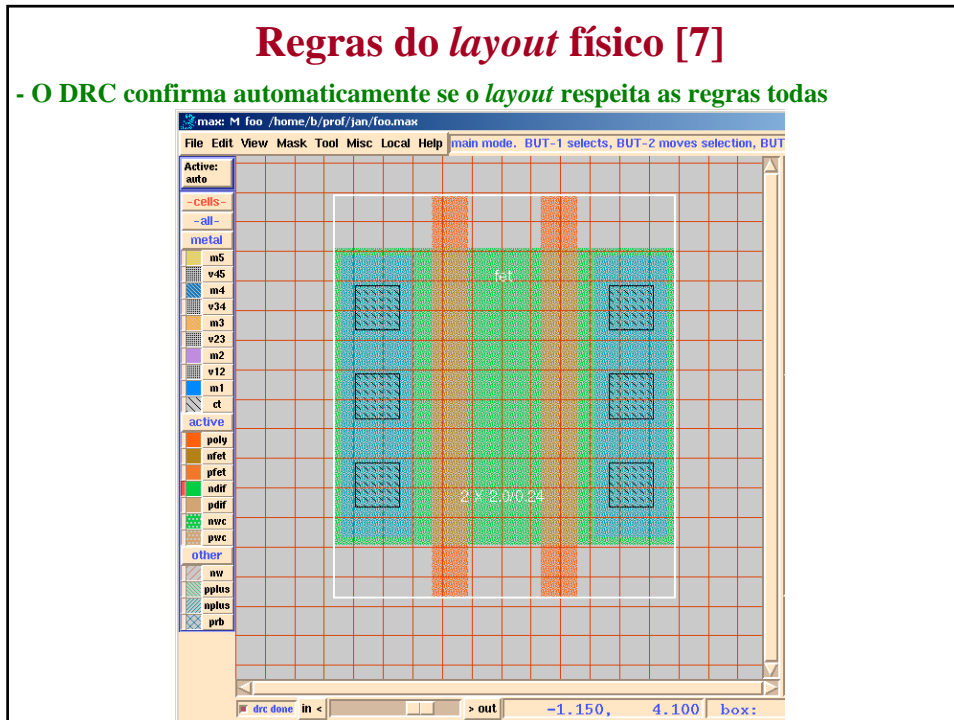
Regras do layout físico [6]

- Regras dos contactos e das vias (subgrupo s2)



Regras do *layout* físico [7]

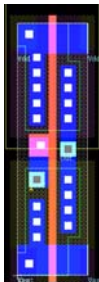
- O DRC confirma automaticamente se o *layout* respeita as regras todas



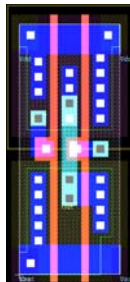
Células *standard* [1]

- Surgem da necessidade de *layouts* densos (projecto VLSI) mas expeditos
- Incluem desde elementos lógicos simples (portas), passando por FLIP-FLOPs ou mesmo ALUs (unidades lógicas e aritméticas) de maior complexidade
- A grande vantagem é o estarem disponíveis em bibliotecas prontas a usar
- Conhecida a estrutura do CI é só (não é bem, mas!) posicionar os elementos
- Exemplo de células *standard*

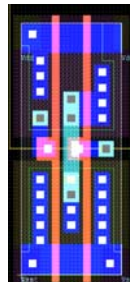
NOT



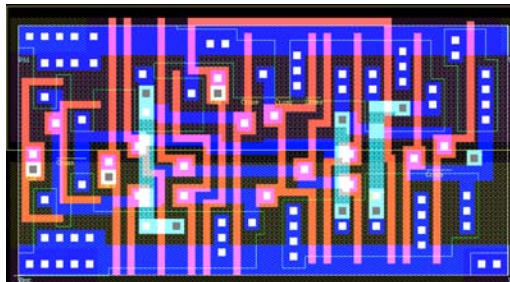
NAND



NOR



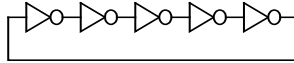
FLIP-FLOP tipo D



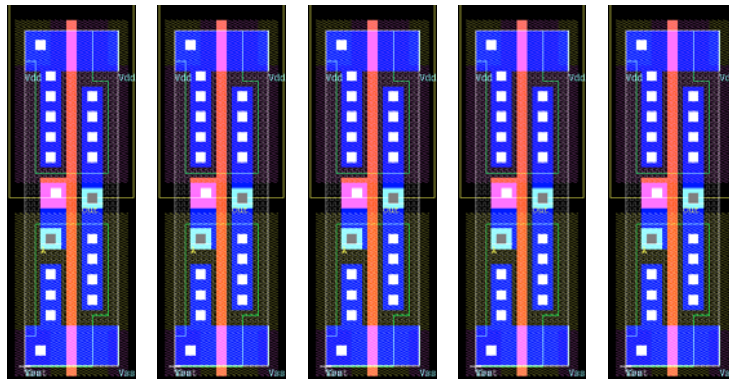
Células *standard* [2]

- Exemplo de oscilador em anel usando células *standard* de inversor lógico

$X \rightarrow \overline{X}$



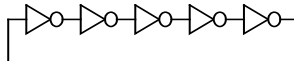
- Posicionamento



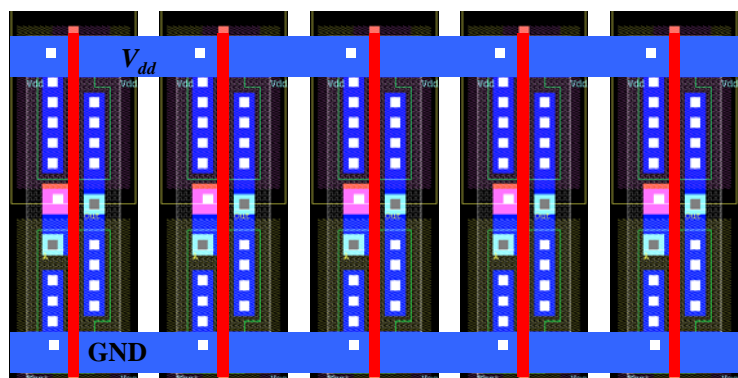
Células *standard* [3]

- Exemplo de oscilador em anel usando células *standard* de inversor lógico

$X \rightarrow \overline{X}$



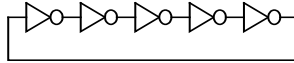
- Alimentação (V_{dd} e massa)



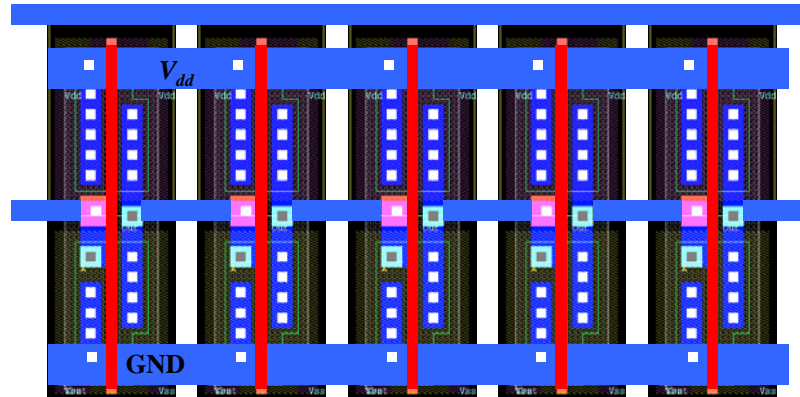
Células *standard* [4]

- Exemplo de oscilador em anel usando células *standard* de inversor lógico

$X \rightarrow \text{inversor} \rightarrow \bar{X}$



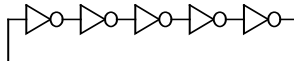
- Interligações em metal1



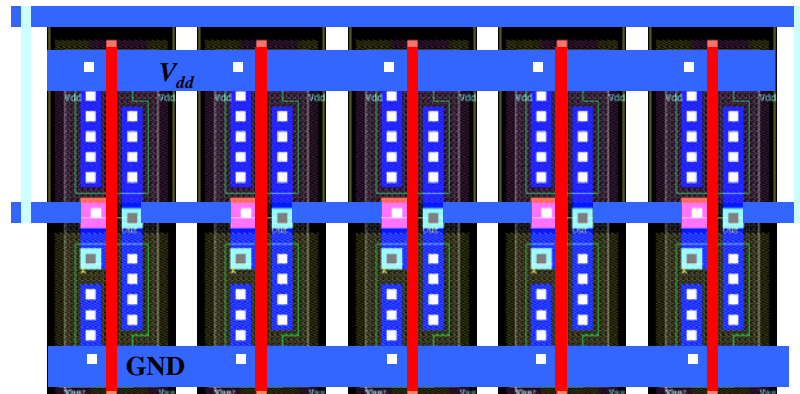
Células *standard* [5]

- Exemplo de oscilador em anel usando células *standard* de inversor lógico

$X \rightarrow \text{inversor} \rightarrow \bar{X}$



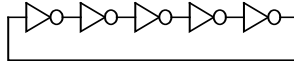
- Interligações em metal2



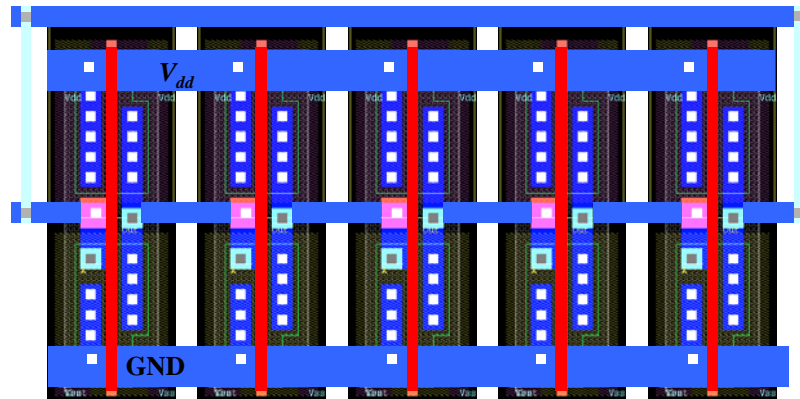
Células *standard* [6]

- Exemplo de oscilador em anel usando células *standard* de inversor lógico

$X \rightarrow \text{Inversor} \rightarrow \bar{X}$



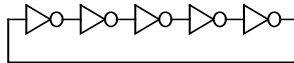
- Contacto2: ligação metal1-metal2 (Via)



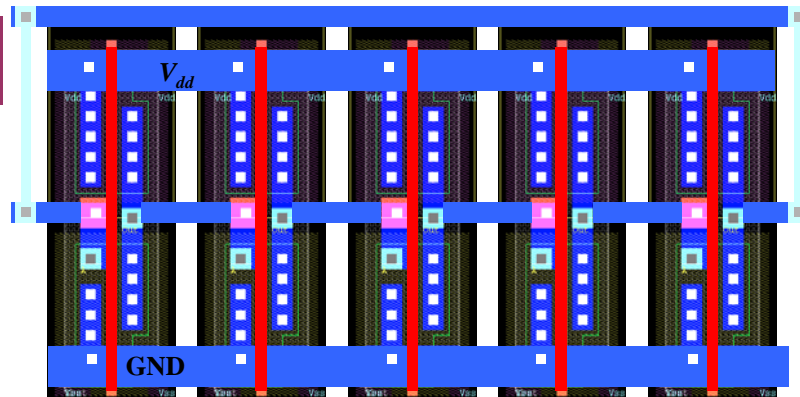
Células *standard* [7]

- Exemplo de oscilador em anel usando células *standard* de inversor lógico

$X \rightarrow \text{Inversor} \rightarrow \bar{X}$



- Respeitar regra *interlayer* (distância periférica metal1-Via e metal2-Via)

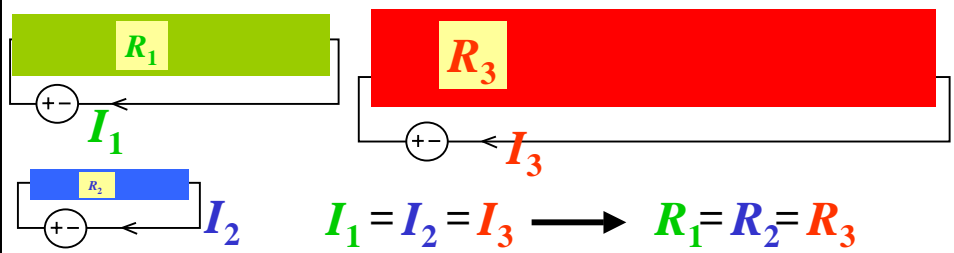
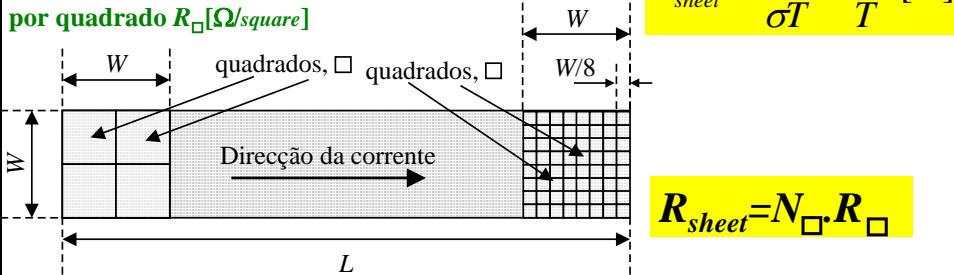


Elementos parasita [1]

- São componentes eléctricos que surgem devido a fenómenos EM indesejáveis
- Os parasitas que mais limitam a performance de um *microchip* são
 - (1) a resistência
 - (2) a capacidade
- Uma forma comum de aferir o desempenho de um circuito digital é analisar as características de comutação, i.e., medir o tempo que demora a mudar o nível lógico na saída
- Existem ainda dois tipos de elementos parasitas, aqueles associados:
 - (1) aos transístores (p.ex. capacidade entre portas) – depende da tecnologia
 - (2) às interligações eléctricas (os mais fáceis de tratar)
- As ligações são feitas recorrendo aos níveis de metal e polissilício
Que são depositados sobre dióxido de silício

Elementos parasita [2]

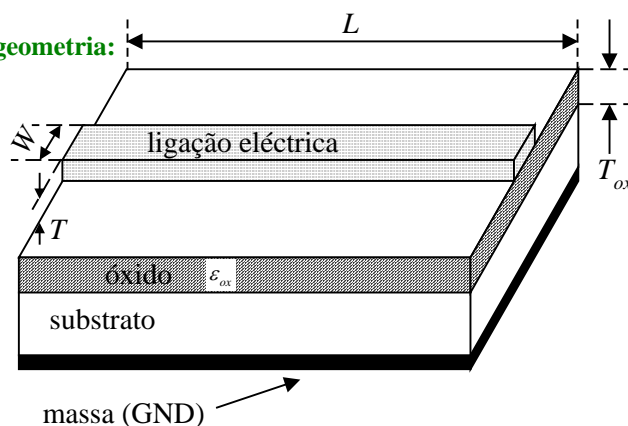
- A resistência da tira é a resistência de superfície R_{sheet} [Ω] da interligação
- A fundição dá o valor mas em termos de resistência por quadrado R_{\square} [$\Omega/square$]



Elementos parasita [3]

- A capacidade parasita possui duas partes:
 - (1) a auto-capacidade que se mede em relação à massa
 - (2) a capacidade de acoplamento que depende de factores vários

- Considerando a seguinte geometria:



- A capacidade de ligação é então:

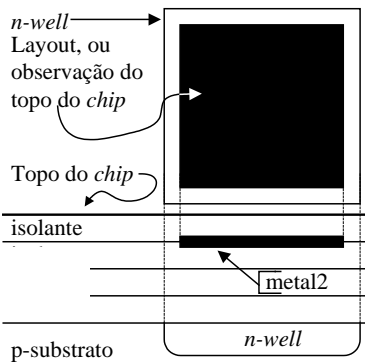
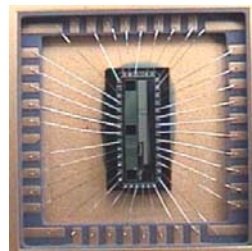
$$C_{tira} = \epsilon_{ox} / T_{ox} \cdot W \cdot L \text{ [F]}$$

Os bondingpads [1]

- Servem de interface entre o *microchip* e o dispositivo (*carrier*) de encapsulamento

- Há um fio que liga fisicamente o *bondingpad* ao pino correspondente

- Após o fabrico, toda a área do *microchip* fica coberta por nitreto de silício para proteger os circuitos de impurezas e riscos



- Esta chama-se camada de passivação

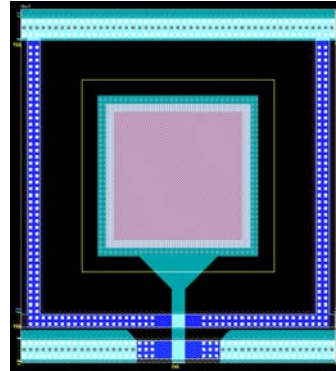
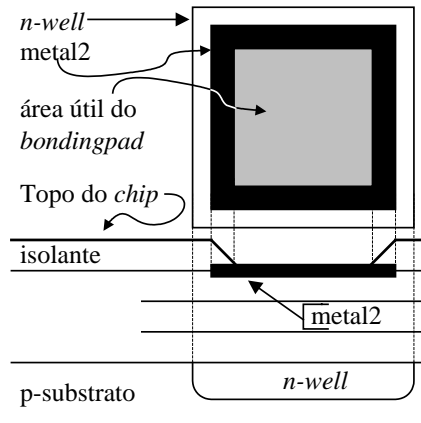
- É necessário remover a camada de passivação para poder ligar os *bondingpads* ao exterior

- É usada a máscara OVL (*overlayer*)

- A área a remover é ligeiramente inferior à do *bondingpad*

Os bondingpads [2]

- A área de nitreto de silício a remover é ligeiramente inferior à do bondingpad



Layout de um bondingpad

- A n-well providencia isolamento suplementar do bondingpad para o p-substrato
- No microchip deve-se rodear os bondingpads por dois anéis metálicos que ligam á massa e á alimentação, afim de minimizar os acoplamentos parasita